

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-142674
(43)Date of publication of application : 16.05.2003

(51)Int.Cl. H01L 27/146
H04N 1/028
H04N 5/335

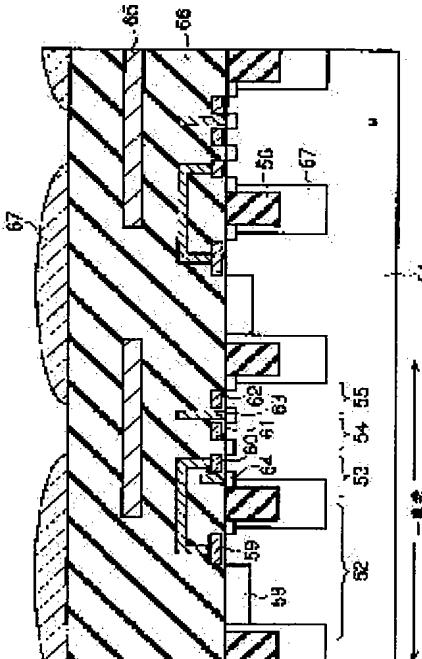
(21)Application number : 2001-342290 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 07.11.2001 (72)Inventor : INOUE IKUKO
NOZAKI HIDETOSHI
YAMASHITA HIROSHI

(54) MOS TYPE SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve image characteristic by a method wherein isolation between picture elements is facilitated color mixing is reduced and dark time noise and white scar are reduced in a CMOS image sensor using trench isolation.

SOLUTION: The CMOS image sensor is provided with a plurality of unit cells which contain photoelectric conversion parts 52 arranged on a P-type silicon substrate 51 and signal scanning circuit parts, trench isolation regions 56 for isolating the photoelectric conversion parts and the signal scanning circuit parts, and P-type element isolating diffusion layers 57 which are formed as far as positions deeper than photodiode diffusion layers 58 which form the photoelectric conversion parts below bottom surfaces of the trench isolation regions.



LEGAL STATUS

[Date of request for examination] 15.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than abandonment
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application] 21.10.2004

[Patent number]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-142674

(P2003-142674A)

(43)公開日 平成15年5月16日 (2003.5.16)

(51)Int.Cl.⁷

H 01 L 27/146

H 04 N 1/028

5/335

識別記号

F I

テ-マコ-ト(参考)

H 04 N 1/028

Z 4 M 1 1 8

5/335

E 5 C 0 2 4

H 01 L 27/14

G 5 C 0 5 1

A

審査請求 有 請求項の数 9 O L (全 11 頁)

(21)出願番号

特願2001-342290(P2001-342290)

(22)出願日

平成13年11月7日 (2001.11.7)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 井上 郁子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

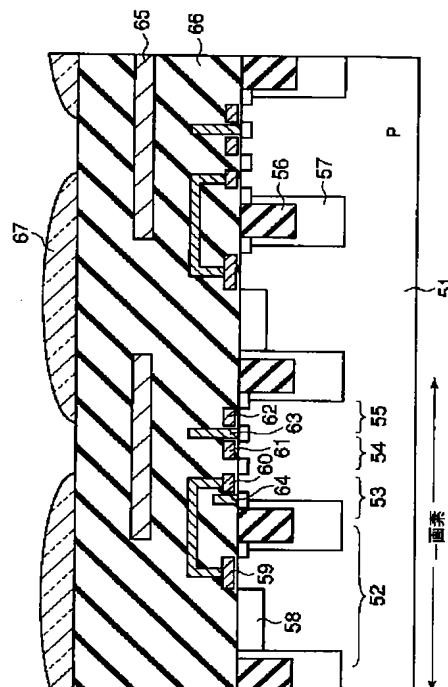
最終頁に続く

(54)【発明の名称】 MOS型固体撮像装置

(57)【要約】

【課題】トレンチ分離を用いたCMOSイメージセンサにおいて、画素間分離を容易にし、混色を低減し、暗時ノイズや白傷を低減し、画像特性を向上する。

【解決手段】CMOSイメージセンサにおいて、P型シリコン基板51上に配置された光電変換部52と信号走査回路部を含む複数の単位セルと、光電変換部と信号走査回路部とを分離するトレンチ分離領域56と、トレンチ分離領域の底面下部で光電変換部を形成するフォトダイオード拡散層58より深い位置まで形成されたP型の素子分離拡散層57とを具備する。



【特許請求の範囲】

【請求項 1】 第1導電型の半導体基板上に配置され、前記第1導電型とは逆の第2導電型の拡散層を有するフォトダイオードからなる光電変換部および信号走査回路部を含む複数の単位セルと、前記半導体基板に形成され、前記光電変換部と信号走査回路部とを分離するトレンチ分離領域と、前記トレンチ分離領域の底面下部で前記フォトダイオードの拡散層より深い位置まで形成された第1導電型の第1の素子分離拡散層とを具備することを特徴とするMOS型固体撮像装置。

【請求項 2】 前記第1の素子分離拡散層は、前記トレンチ分離領域の側壁部にも形成されており、前記フォトダイオードで生成される空乏層がトレンチ素子分離領域に接近しないように形成されていることを特徴とする請求項1記載のMOS型固体撮像装置。

【請求項 3】 前記信号走査回路部は、前記半導体基板に形成された第2導電型のウエル領域に形成されていることを特徴とする請求項1または2記載のMOS型固体撮像装置。

【請求項 4】 前記フォトダイオードの拡散層の表層部に前記素子分離拡散層と同等かそれ以上に高い濃度の拡散層が形成されており、前記フォトダイオードで生成される空乏層がフォトダイオードの表面に接近しないように形成されていることを特徴とする請求項1乃至3のいずれか1項に記載のMOS型固体撮像装置。

【請求項 5】 前記第1の素子分離拡散層と前記ウエル領域とは一体的に連なって形成されていることを特徴とする請求項1乃至4のいずれか1項に記載のMOS型固体撮像装置。

【請求項 6】 前記半導体基板中に形成され、前記第1の素子分離拡散層の下部に連なって形成された第2の素子分離拡散層をさらに具備することを特徴とする請求項1乃至5のいずれか1項に記載のMOS型固体撮像装置。

【請求項 7】 前記第1の素子分離拡散層は、フォトダイオード拡散層の深さの2倍より深い位置まで達するように形成されていることを特徴とする請求項1乃至6のいずれか1項に記載のMOS型固体撮像装置。

【請求項 8】 前記MOS型固体撮像装置と同一チップ上に形成され、複数のMOSトランジスタを用いて構成されたロジック回路をさらに具備し、前記トレンチ分離領域は、前記ロジック回路の複数のMOSトランジスタを分離するトレンチ分離領域と同一プロセスで同時に形成されていることを特徴とする請求項1乃至6のいずれか1項に記載のMOS型固体撮像装置。

【請求項 9】 光電変換素子を含む単位セルの複数個が半導体基板上に二次元の行列状に配置されて形成された撮像領域と、

前記撮像領域における同一行の単位セルを選択するための垂直選択線を選択駆動するための行選択手段と、前記行選択手段により選択された同一行の単位セルからそれぞれ信号が読み出される複数の垂直信号線と、前記複数の垂直信号線の各一端側にそれぞれ接続された複数の負荷トランジスタと、

前記複数の垂直信号線に読み出された信号をそれぞれ保存する複数の信号保存領域と、前記複数の信号保存領域にそれぞれ保存された信号を順次選択するための複数の水平選択トランジスタと、

前記複数の水平選択トランジスタにより順次選択された信号が転送される水平信号線とを具備し、前記各単位セルは、

アノード側に接地電位が与えられるフォトダイオードと、

前記フォトダイオードのカソード側に一端側が接続され、ゲートに読み取り線が接続された読み出しトランジスタと、

前記読み出しトランジスタの他端側にゲートが接続され、一端側に垂直信号線が接続された増幅トランジスタと、

前記増幅トランジスタの他端側に一端側が接続され、ゲートに前記垂直選択線が接続され、他端側に電源線が接続された垂直選択トランジスタと、

前記増幅トランジスタのゲートと前記電源線との間に接続され、ゲートにリセット線が接続されたリセットトランジスタとを具備する固体撮像装置において、

前記フォトダイオードおよび読み出しトランジスタを前記他のトランジスタと分離するトレンチ分離領域と、

前記トレンチ分離領域の底面下部で前記フォトダイオードの拡散層より深い位置まで形成され、前記拡散層とは逆導電型の素子分離拡散層とを具備することを特徴とする請求項1乃至7のいずれか1項に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOS型固体撮像装置に係り、特にトレンチ分離構造をもつMOS型固体撮像装置に関するもので、例えばビデオカメラや電子スチールカメラ等に使用されるイメージセンサ、プリンタ等に使用されるラインセンサーなどに使用されるものである。

【0002】

【従来の技術】 MOS型固体撮像素子は、低電圧・単一電源の使用、低コスト化が可能などの利点があり、また、MOS型素子と形成工程が似ているので、MOS型素子を用いた様々な信号処理回路（ロジック回路など）をMOS型固体撮像装置と同一基板上にオンチップ化したシステムLSIを実現することが可能である。

【0003】 この際、一般に、ロジック回路に用いられ

るMOSトランジスタは、電源電圧のスケーリングとともに膜厚やサイズの縮小が要求され、ソース・ドレインの拡散層が浅くなる傾向にあり、ロジック回路のMOSトランジスタの微細化に伴い、MOS型固体撮像装置の素子も微細化される必要がある。

【0004】また、MOS型固体撮像装置の素子分離構造として、従来のLOCOS分離に代えてトレンチ分離を用いてサイズを縮小している。

【0005】図9は、1画素毎に画素信号の読み出しが可能な読み出し（電荷検出）回路を設けた増幅型イメージセンサと呼ばれるCMOSイメージセンサの従来例の等価回路を示している。ここでは、1つの単位セルの中に1つのフォトダイオードを配置してなる方式を例にとって示している。

【0006】このCMOSイメージセンサにおいて、半導体基板上のセル領域（撮像領域）1には1ピクセル／1ユニット（1画素）の単位セル13が二次元の行列状に配置されて形成されている。

【0007】各単位セル13は、アノード側に接地電位が与えられるフォトダイオード8と、フォトダイオード8のカソード側に一端側が接続されている読み出しトランジスタ14と、読み出しトランジスタ14の他端側にゲートが接続されている増幅トランジスタ15と、増幅トランジスタ15の一端側に一端側が接続されている垂直選択トランジスタ16と、増幅トランジスタ15のゲートに一端側が接続されているリセットトランジスタ17とを具備する。

【0008】そして、前記セル領域1には、同一行の単位セルの各読み出しトランジスタ14のゲートに共通に接続された読み取り線4と、同一行の単位セルの各垂直選択トランジスタ16のゲートに共通に接続された垂直選択線6と、同一行の単位セルの各リセットトランジスタ17のゲートに共通に接続されたリセット線7と、同一列の単位セルの各増幅トランジスタ15の他端側に共通に接続された垂直信号線18-i（i=1～n）と、同一列の単位セルの各リセットトランジスタ17の他端側および各垂直選択トランジスタ16の他端側に共通に接続された電源線9が形成されている。

【0009】さらに、セル領域1外には、前記垂直信号線18-iの各一端側と接地ノードとの間にそれぞれ接続された複数の負荷トランジスタ12と、前記垂直信号線18-iの各他端側にそれぞれ対応してノイズキャンセラ回路25-iを介して各一端側が接続された水平選択トランジスタ23-iと、この複数の水平選択トランジスタ23-iの各他端側に共通に接続された水平信号線26と、この水平信号線26に接続された出力増幅回路27と、上記水平信号線26に接続された水平リセットトランジスタ28と、前記セル領域1の各行の垂直選択線6に走査的に選択信号を供給して各行の垂直選択トランジスタ16を走査的に駆動するための垂直シフトレジスタ

2と、前記水平選択トランジスタ23-iを走査的に駆動するための水平シフトレジスタ3と、各種のタイミング信号を発生するためのタイミング発生回路10などが設けられている。

【0010】前記各ノイズキャンセラ回路25-iは、垂直信号線18-iの他端側に一端側が接続されたサンプルホールド用のトランジスタ19と、このサンプルホールド用のトランジスタ19の他端側に一端側が接続された結合コンデンサ20と、この結合コンデンサ20の他端側と接地ノードとの間に接続された信号電荷一時蓄積用のコンデンサ21と、前記コンデンサ20、21の接続ノードに接続された電位クランプ用のトランジスタ22とにより構成されており、前記コンデンサ20、21の接続ノードに前記水平選択トランジスタ23-iの一端側が接続されている。

【0011】なお、各水平選択トランジスタ23-iは、半導体基板の表層部に選択的に形成されたPウエルに形成された活性化領域（SDG領域）を有するNMOSトランジスタからなる。なお、上記Pウエルは接地電位に接続される。

【0012】次に、図9の固体イメージセンサの動作を説明する。

【0013】各フォトダイオード8の入射光が光電変換されて生じた信号電荷はフォトダイオード8内に蓄積される。この信号電荷を読み出す動作の前に、まず、増幅トランジスタ15のゲート電位をリセットするために、リセット線7に“H”レベルのリセット信号が一定期間与えられてリセットトランジスタ17が一定期間オン状態になり、増幅トランジスタ15のゲート電位が所望の電位にリセットされる。

【0014】これと同時に、垂直シフトレジスタ2により走査的に選択される垂直選択線（アドレス線）6に“H”レベルの選択信号が与えられると、この垂直選択線6から選択信号が与えられた垂直選択トランジスタ16がオン状態に制御され、この垂直選択トランジスタ16を介して増幅トランジスタ15に電源線9の電圧が供給される。これにより、ソースフォロア接続されている増幅トランジスタ15は、ゲート電位に応じた電位を対応する垂直信号線18-iに出力する。

【0015】しかし、前記したようにリセットされた増幅トランジスタ15のゲート電位にはばらつきが存在し、そのドレン側の垂直信号線18-iのリセット電位にもばらつきが現われる。

【0016】そこで、各垂直信号線18-iのリセット電位のばらつきをリセットするために、前記リセットトランジスタ17と同時にサンプルホールド用のトランジスタ19がオン状態に制御され、垂直信号線18-iのリセット電位がコンデンサ20を介してコンデンサ21に伝達される。この後、電位クランプ用のトランジスタ22が一定期間オン状態に制御され、コンデンサ20・21

の接続ノードの電圧が一様に固定される。

【0017】次に、所定行の読み取り線4が選択され ("H" レベルの読み取り信号が与えられて) 読み出しひトランジスタ14がオンになると、フォトダイオード8の蓄積電荷が上記読み出しトランジスタを介して増幅トランジスタ15のゲートに転送され、このゲート電位を変化させる。増幅トランジスタ15は、ゲート電位の変化量に応じた電圧信号を対応する垂直信号線18-iに出力する。

【0018】結果として、リセット後における読み出しひ動作に伴う垂直信号線18-iの電圧信号の変化分がコンデンサ20を介してコンデンサ21に伝達されることになるので、セル領域1に起因する各垂直信号線18-iのリセット電位のばらつきなどのノイズキャンセラー回路25-iより前段側に混入したノイズは除去される。

【0019】上記したような一連のノイズ除去動作が終了した後、サンプルホールド用のトランジスタ19がオフ状態に制御され、さらに垂直選択トランジスタ16がオフ状態に制御されて単位セル13が非選択状態にされることにより、セル領域1と各ノイズキャンセラー回路25-iとが電気的に分離される。

【0020】そして、水平リセットトランジスタ28がオン状態に制御されて水平信号線26の電位がリセットされた後、水平選択トランジスタ23-iが順次オン状態に制御され、コンデンサ20・21の接続ノード(信号保存ノードSN)の電圧が順次読み出され、出力増幅回路27により増幅されて出力する。

【0021】なお、前記したような一連のノイズ除去動作は、1水平線毎の読み出しひ動作に際して行われる。

【0022】図10は、図9に示したCMOSイメージセンサの一部(水平方向で隣接するセル領域の2個分)を取り出して断面構造を概略的に示している。

【0023】このCMOSイメージセンサにおいて、例えばP型の半導体基板(通常、シリコン基板)31上に複数のセル領域が形成されている。各セル領域は、光電変換蓄積部32と走査回路部とからなり、これらはトレンチ分離領域36により素子分離されている。

【0024】前記光電変換蓄積部32では、P型のシリコン基板31とその表面部に形成されたN型拡散層37とのPN接合によりフォトダイオードが形成されている。

【0025】走査回路部は、それぞれNMOStトランジスタからなる増幅トランジスタ33、垂直アドレストランジスタ34およびリセットトランジスタ35と、信号読み出しひゲート38、増幅ゲート39、垂直アドレスゲート40、リセットゲート41を有する。42はドレン線、43は信号線、44は例えばアルミニウムを用いた遮光膜および接続配線、45は層間膜、46は集光レンズである。ここで、ゲート絶縁膜や色フィルタなどは図示を省略している。

【0026】ところで、CMOSイメージセンサにおいては、半導体基板31中で入射光を電子に光電変換するので、スケーリングとともに光電変換部31を浅くすると、入射光の波長などの関係により性能の劣化につながる。したがって、フォトダイオードに深い拡散層37を持つCMOSイメージセンサにおいては、同一チップ上のロジック回路と同様のトレンチ分離構成を採用した場合には画素間分離や混色に問題が生じる。

【0027】また、トレンチ分離構造は、従来のLOCOS分離構造に比較して、サイズは縮小できるが、プロセスによるストレスが大きいので、トレンチ周辺の半導体基板領域には欠陥やダメージが多発していることは周知である。このような欠陥やダメージは、リーク電流の増大をまねき、CMOSイメージセンサにおける白傷や暗時ノイズの原因になる。

【0028】

【発明が解決しようとする課題】上記したように従来のCMOSイメージセンサは、同一チップ上のロジック回路と同様のトレンチ分離構成を採用した場合には、画素間の分離や混色が劣化し、リーク電流による白傷や暗時ノイズが増大するという問題があった。

【0029】本発明は上記の問題点を解決すべくなされたもので、トレンチ分離構成を採用した場合でも、画素間を分離し、混色を低減し、暗時ノイズや白傷を低減することが可能になるMOS型固体撮像装置を提供することを目的とする。

【0030】また、本発明の他の目的は、フォトダイオードの空乏層がダメージの多いトレンチ分離層端まで達することを防ぐことが可能となり、リーク電流の増大を防止し、暗時ノイズや白傷を低減することが可能になるMOS型固体撮像装置を提供することにある。

【0031】

【課題を解決するための手段】本発明のMOS型固体撮像装置は、第1導電型の半導体基板上に配置され、前記第1導電型とは逆の第2導電型の拡散層を有するフォトダイオードからなる光電変換部および信号走査回路部を含む複数の単位セルと、前記半導体基板に形成され、前記光電変換部と信号走査回路部とを分離するトレンチ分離領域と、前記トレンチ分離領域の底面下部で前記フォトダイオードの拡散層より深い位置まで形成された第1導電型の第1の素子分離拡散層とを具備することを特徴とする。

【0032】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0033】<第1の実施形態>図1は、本発明の第1の実施形態に係るCMOSイメージセンサの一部(水平方向で隣接するセル領域の2個分)を取り出して断面構造を概略的に示している。

【0034】このCMOSイメージセンサは、図9を参

照して前述した従来例のCMOSイメージセンサと比べて、等価回路は同様であるが、トレンチ分離領域56を包含するように素子分離拡散層が形成されている点が異なり、その他は同じである。

【0035】即ち、このCMOSイメージセンサにおいて、例えばP型の半導体基板（通常、シリコン基板）51上に複数のセル領域が形成されている。各セル領域は、光電変換蓄積部（フォトダイオード）52と走査回路部とからなり、これらはトレンチ内部に絶縁物が埋め込まれてなるトレンチ分離領域56により素子分離されている。

【0036】前記光電変換蓄積部52には、P型のシリコン基板51とその表面部に形成されたN型拡散層58とのPN接合によりフォトダイオードが形成されている。

【0037】走査回路部は、それぞれNMOSトランジスタからなる増幅トランジスタ53、垂直アドレストランジスタ54およびリセットトランジスタ55と、信号読み出しゲート59、増幅ゲート60、垂直アドレスゲート61、リセットゲート62を有する。63はドレン線、64は信号線、65は例えばアルミニウムを用いた遮光膜および接続配線、66は層間膜、67は集光レンズである。ここで、ゲート絶縁膜や色フィルタなどは図示を省略している。

【0038】さらに、本実施形態では、前記トレンチ分離領域56を包含するようにP型の第1の素子分離拡散層57が形成されている。この素子分離拡散層57は、トレンチ分離領域56の底面下部でN型拡散層58より深い位置まで（N型拡散層58の深さの2倍より深い位置まで達するように）形成されているととともに、トレンチ分離領域36の側壁部にも形成されている。

【0039】上記したようにトレンチ分離領域56を包含するように形成されている素子分離拡散層57は、トレンチ分離領域56の底面下部でN型拡散層58より深い位置まで形成されているので、画素間のリーク電流を遮断し、画素間の分離を容易にし、混色を低減すること可能となり、画像特性を向上することができる。

【0040】また、前記素子分離拡散層57は、トレンチ分離領域56の側壁部にも形成されることにより、フォトダイオードで生成される空乏層がトレンチ素子分離領域56に接近しない（トレンチ分離領域56の形成時にその周辺の基板領域（活性化領域SDGに発生している欠陥やダメージに到達しない）ようになってるので、上記欠陥やダメージが原因となる画素のリーク電流を低減することができる。

【0041】この結果、CMOSイメージセンサにおける白傷、暗時ノイズや混色などを低減し、画像特性を向上することが可能となる。

【0042】図2（a）、（b）は、図1のCMOSイメージセンサの製造工程を示す断面図である。

【0043】まず、シリコン基板1の所望の位置にトレンチ分離領域56を形成する。次に、トレンチ分離領域56上を含む素子分離拡散層形成予定領域に対応する位置を避けた所望の位置にマスク材71をシリコン基板51上に設け、素子分離拡散層57を形成する。その後、各ゲート電極59～62、フォトダイオードの拡散層58、各トランジスタのソース・ドレインとなる拡散層、配線層63、64、遮光膜65、層間膜66、集光レンズ67などを形成する。

【0044】＜第2の実施形態＞図3は、本発明の第2の実施形態に係るCMOSイメージセンサの一部を取り出して断面構造を概略的に示している。

【0045】このCMOSイメージセンサは、図1を参照して前述した第1の実施形態のCMOSイメージセンサと比べて、等価回路は同様であるが、走査回路部のNMOSトランジスタの基板領域に、シリコン基板51より高濃度のP+ウェル領域68が形成されている点が異なり、その他は同じであるので図1中と同一符号を付している。この場合、P+ウェル領域68は、走査回路部のNMOSトランジスタの特性を満足させる濃度である必要があり、同一チップ上に形成されている図示しないロジック回路のNMOSトランジスタのPウェル領域と同一プロセスで同時に形成することができる。

【0046】このような構成により、前述した第1の実施形態のCMOSイメージセンサと同様に、画素間の分離を容易にし、混色を低減することが可能となり、トレンチ周辺のシリコン基板領域に発生している欠陥やダメージが原因となるリーク電流を低減することが可能となる。この結果、CMOSイメージセンサにおける白傷や暗時ノイズを低減し、画像特性を向上することが可能となる。

【0047】さらに、走査回路部のNMOSトランジスタの基板領域にP+ウェル領域68が存在するので、光電変換部52よりも走査回路部のトランジスタを微細化することが可能となる。

【0048】＜第3の実施形態＞図4は、本発明の第3の実施形態に係るCMOSイメージセンサの一部を取り出して断面構造を概略的に示している。

【0049】このCMOSイメージセンサは、図1を参照して前述した前述した第1の実施形態のCMOSイメージセンサと比べて、等価回路は同様であるが、フォトダイオードの拡散層58の表面（シリコン界面）に、素子分離拡散層57と同等かそれ以上に高い濃度のP+拡散層69が形成されている点が異なり、その他は同じであるので図1中と同一符号を付している。

【0050】このような構成により、拡散層58の形成時にシリコン基板界面に発生しているダメージ層にフォトダイオードの空乏層が接近しないようにシールドすることが可能となるので、シリコン基板界面のリーク電流（画素のリーク電流）を低減することができる。この結

果、CMOSイメージセンサにおける白傷、暗時ノイズなどを低減し、画像特性を向上することが可能となる。

【0051】<第4の実施形態>図5は、本発明の第4の実施形態に係るCMOSイメージセンサの一部を取り出して断面構造を概略的に示している。

【0052】このCMOSイメージセンサは、図3を参照して前述した第2の実施形態のCMOSイメージセンサと比べて、等価回路は同様であるが、素子分離拡散層57と走査回路部のP+ウェル領域68が同時に一体的に素子分離拡散層57aとして形成されている点が異なり、その他は同じであるので図3中と同一符号を付している。

【0053】このような構成により、前述した第1の実施形態のCMOSイメージセンサと比べて画素間の分離をより一層強化することが可能となるので、混色をより一層低減することが可能となり、トレンチ周辺のシリコン基板領域に発生している欠陥やダメージが原因となるリーケ電流を低減することが可能となる。この結果、CMOSイメージセンサにおける白傷や暗時ノイズを低減し、混色などの画像特性をより一層向上することが可能となる。

【0054】さらに、前述した第2の実施形態のCMOSイメージセンサと同様に、走査トランジスタを微細化することができ、システムの縮小化が可能となる。

【0055】しかも、素子分離拡散層57と走査回路部のP+ウェル領域68を同時に一体的に形成しているのでプロセス工程を短縮化することが可能になる。

【0056】図6(a)、(b)は、図5のCMOSイメージセンサの製造工程を示す断面図である。

【0057】まず、シリコン基板51の所望の位置にトレンチ分離領域56を形成する。次に、図2(a)、(b)を参照して前述した第1の実施形態のCMOSイメージセンサの製造工程に準じて工程を実施する。即ち、トレンチ分離領域56上を含む素子分離拡散層形成予定領域に対応する位置を避けた所望の位置にマスク材71aをシリコン基板51上に設け、素子分離拡散層57aを形成する。その後、各ゲート電極59～62、フォトダイオードの拡散層58、各トランジスタのソース・ドレインとなる拡散層、配線層63、64、遮光膜65、層間膜66、集光レンズ67などを形成する。

【0058】<第4の実施形態の変形例>第4の実施形態に係るCMOSイメージセンサに対して、第3の実施形態と同様に、フォトダイオードの拡散層58の表面(シリコン界面)に、素子分離拡散層57aと同等かそれ以上に高い濃度のP+拡散層(図示せず)を形成することが可能である。

【0059】このような構成により、前述した第4の実施形態の効果のほか、第3の実施形態と同様の効果が得られる。即ち、拡散層58の形成時にシリコン基板界面に発生しているダメージ層にフォトダイオードの空乏層

が接近しないようにシールドすることが可能となるので、シリコン基板界面のリーク電流(画素のリーク電流)を低減することができる。この結果、CMOSイメージセンサにおける白傷、暗時ノイズなどを低減し、画像特性を向上することが可能となる。

【0060】<第5の実施形態>図7は、本発明の第5の実施形態に係るCMOSイメージセンサの一部を取り出して断面構造を概略的に示している。

【0061】このCMOSイメージセンサは、前述した第1の実施形態のCMOSイメージセンサと比べて、素子分離拡散層57の下部に接するようにしてシリコン基板1より高濃度のP型の第2の素子分離拡散層70が設けられている点が異なり、その他は同じであるので図1中と同一符号を付している。

【0062】このような構成により、隣接する画素あるいはそれ以上の遠い距離にある画素の信号が混入することを防止し、かつ、基板1からの拡散電流も低減でき、トレンチ周辺のシリコン基板領域に発生している欠陥やダメージが原因となるリーク電流を低減することが可能となる。

【0063】この結果、前述した第1の実施形態のCMOSイメージセンサと比べて、画素間の分離をより一層強化することが可能となり、混色やリーク電流が起因となる雑音をより一層低減することが可能となる。

【0064】図8(a)、(b)は、図7のCMOSイメージセンサの製造工程を示す断面図である。

【0065】まず、シリコン基板1中に、後述する複数の第1の素子分離拡散層57の形成予定領域の底部に接するように第2の素子分離拡散層70を水平方向に形成する。次に、図2(a)、(b)を参照して前述した第1の実施形態のCMOSイメージセンサの製造工程と同様の工程を実施する。即ち、シリコン基板1上のトレンチ分離領域56上を含む素子分離拡散層57形成予定領域に対応する位置を避けた所望の位置にマスク材71をシリコン基板1上に設け、素子分離拡散層57を形成する。その後、各ゲート電極59～62、フォトダイオードの拡散層58、各トランジスタのソース・ドレインとなる拡散層、配線層63、64、遮光膜65、層間膜66、集光レンズ67などを形成する。

【0066】<第5の実施形態の変形例1>第5の実施形態に係るCMOSイメージセンサに対して、第3の実施形態と同様に、フォトダイオードの拡散層58の表面(シリコン界面)に、素子分離拡散層57aと同等かそれ以上に高い濃度のP+拡散層(図示せず)を形成することが可能である。

【0067】このような構成により、前述した第5の実施形態の効果のほか、第3の実施形態と同様の効果が得られる。

【0068】<第5の実施形態の変形例2>第5の実施形態に係るCMOSイメージセンサに対して、第4の実

施形態と同様に、素子分離拡散層57と走査回路部のPウエル領域+68を同時に一体的に素子分離拡散層57aとして形成することが可能である。

【0069】このような構成により、前述した第5の実施形態の効果のほか、第4の実施形態と同様の効果が得られる。

【0070】なお、前記各実施形態では、各単位セル中に1つのフォトダイオードを配置したCMOSイメージセンサを例にとって説明したが、各単位セル中に2つのフォトダイオードを配置したCMOSイメージセンサにも本発明を適用することが可能である。

【0071】また、本発明は、前記各実施形態に示したようなCMOSイメージセンサに限らず、CMOSライセンサーにも適用することが可能である。

【0072】

【発明の効果】上述したように本発明の固体撮像装置によれば、トレンチ分離構成を採用した場合でも、画素間を容易に分離し、混色を低減し、暗時ノイズや白傷を低減し、画像特性を向上することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るCMOSイメージセンサを示す等価回路図。

【図2】図1のCMOSイメージセンサの製造工程を示す断面図。

【図3】本発明の第2の実施形態に係るCMOSイメージセンサの一部を概略的に示す断面図。

【図4】本発明の第3の実施形態に係るCMOSイメージセンサの一部を概略的に示す断面図。

* 【図5】本発明の第4の実施形態に係るCMOSイメージセンサの一部を概略的に示す断面図。

【図6】図5のCMOSイメージセンサの製造工程を示す断面図。

【図7】本発明の第5の実施形態に係るCMOSイメージセンサの一部を概略的に示す断面図。

【図8】図7のCMOSイメージセンサの製造工程を示す断面図。

【図9】1画素毎に画素信号の読み出しが可能な読み出し回路を備えたCMOSイメージセンサの従来例を示す等価回路図。

【図10】図9のCMOSイメージセンサの一部を取り出して概略的に示す断面図。

【符号の説明】

51…Si基板、

52…光電変換部、

56…トレンチ素子分離層、

57…素子分離拡散層、

58…フォトダイオード、

20 59…信号読み出しひゲート、

60…増幅ゲート、

61…アドレスゲート、

62…リセットゲート、

63…ドライン線、

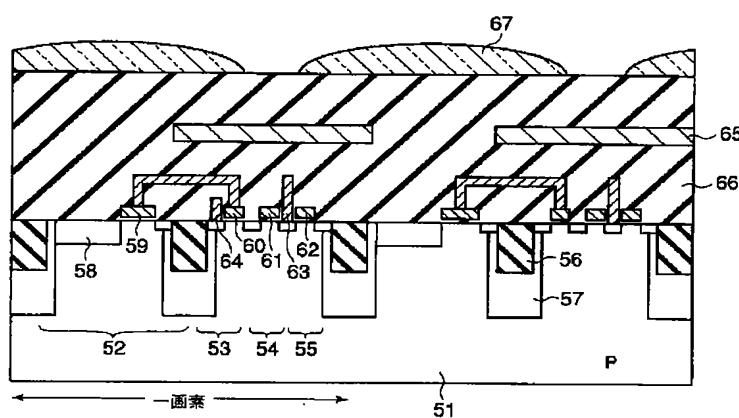
64…信号線、

65…遮光膜、

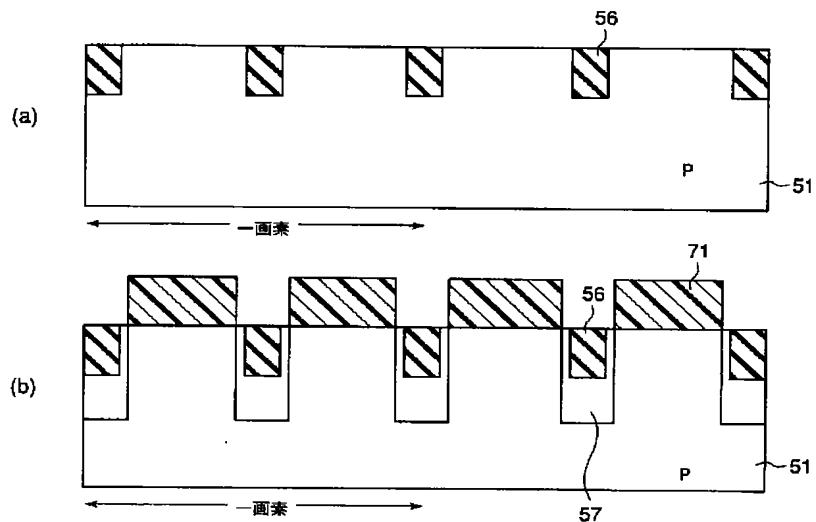
66…層間膜、

* 67…集光レンズ。

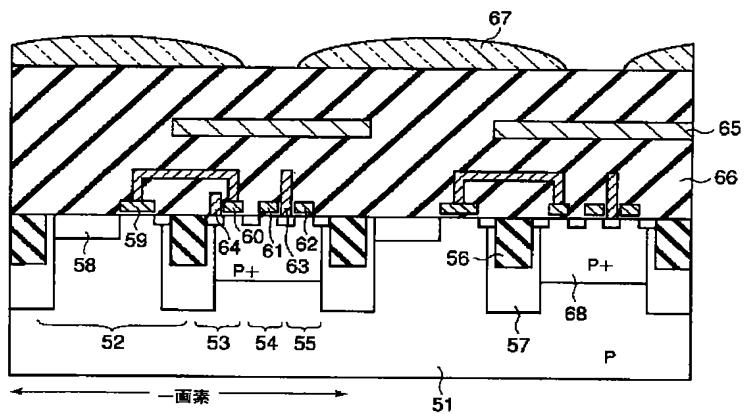
【図1】



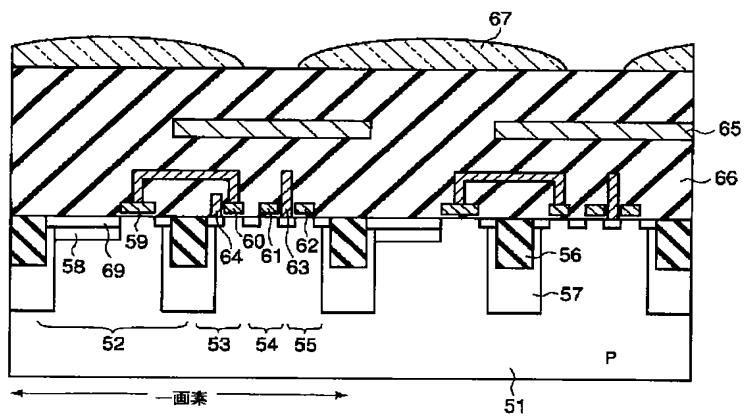
【図2】



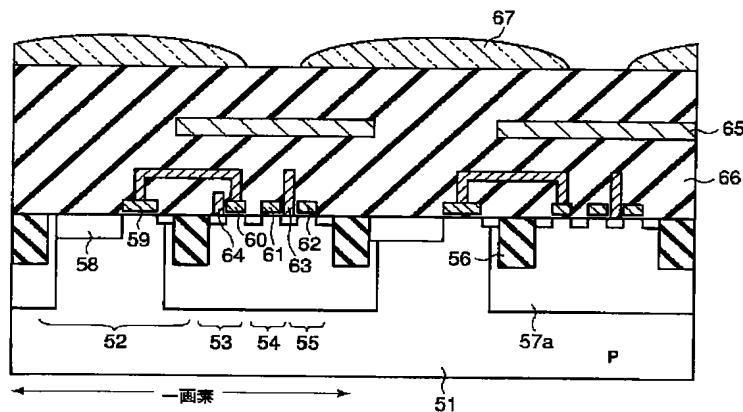
【図3】



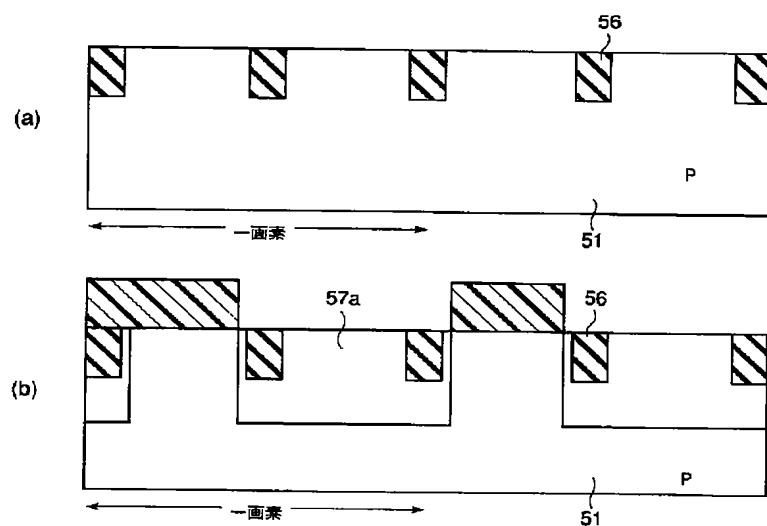
【図4】



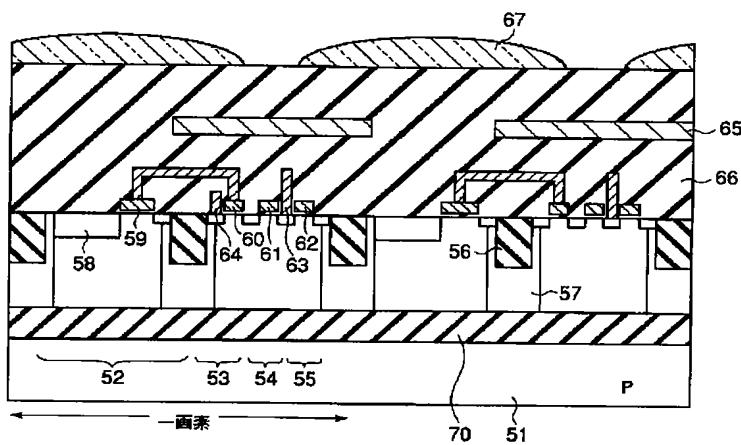
【図5】



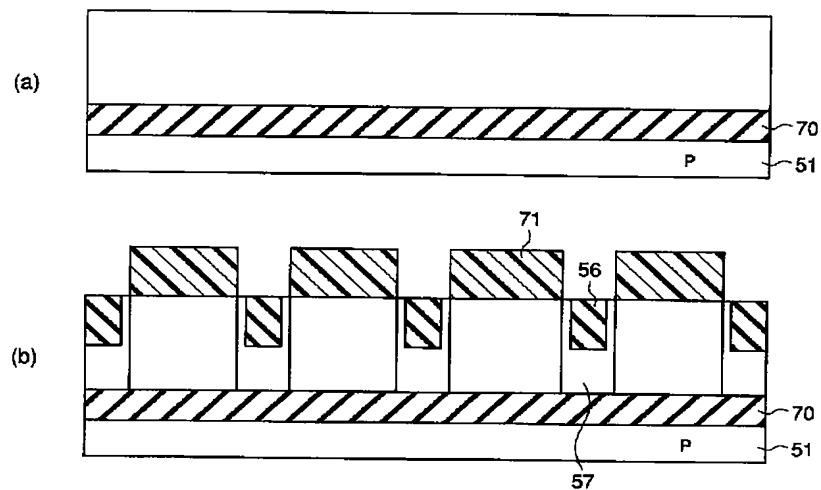
【図6】



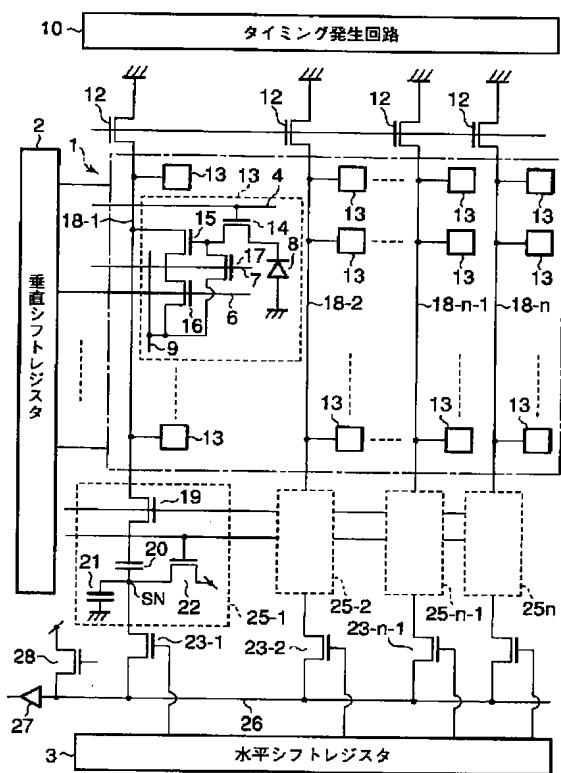
【図7】



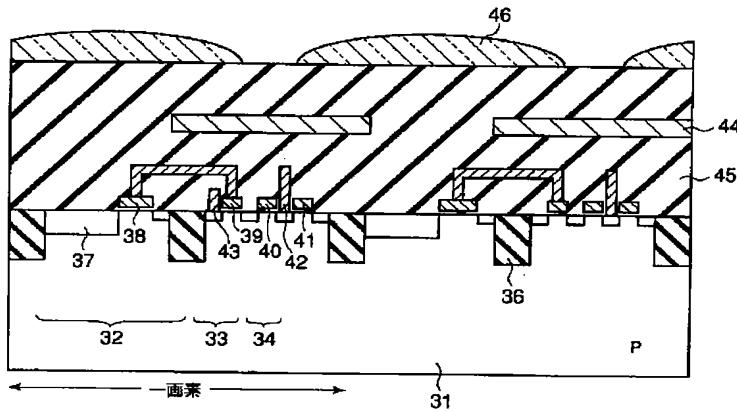
【図8】



【図9】



【図10】



フロントページの続き

(72) 発明者 野崎 秀俊

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72) 発明者 山下 浩史

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

F ターム(参考) 4M118 AB01 BA14 CA02 DD09 EA15
FA06 FA25 FA26 FA27 GB04
GB11 GD04 GD07
5C024 CX03 GX07 GY31 GY35
5C051 AA01 BA03 DA06 DB01 DC07
EA01